

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

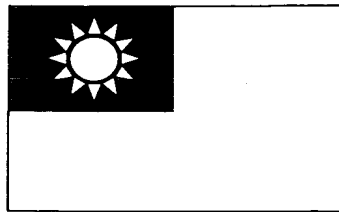
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 18 日 /  
Application Date

申請案號：092125696  
Application No.

申請人：南亞科技股份有限公司  
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 11 月 24 日  
Issue Date

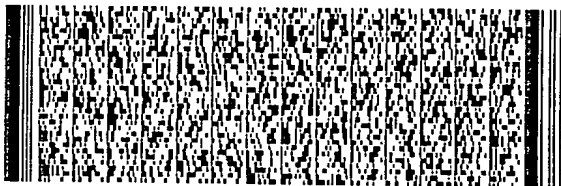
發文字號：09221188390  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	半導體記憶裝置之測試驅動方法
	英 文	
二、 發明人 (共1人)	姓 名 (中 文)	1. 吳順科
	姓 名 (英 文)	1. Shun-Ker Wu
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (中 文)	1. 桃園縣龜山鄉金峰街24巷12號
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英 文)	1. Nanya Technology Corporation.
	國 籍 (中 英 文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R. O. C
	代表人 (中 文)	1. 連日昌
	代表人 (英 文)	1. Jih-Chang Lien



0548-10413.pdf: 02085 : miba.pdf

四、中文發明摘要 (發明名稱：半導體記憶裝置之測試驅動方法)

一種半導體記憶裝置之測試驅動方法，係於進入測試模式後，選取受一驅動線控制之複數條字元線；其次，測試單元對該等字元線之控制線進行致能；隨之，開啟該等字元線中其中一字元線，該測試單元致能該驅動線；然後該受致能之驅動線將驅動信號經該等致能之控制線輸出至該等字元線上。

伍、(一)、本案代表圖為：第4圖。

(二)、本案代表圖之元件代表符號簡單說明：無。

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

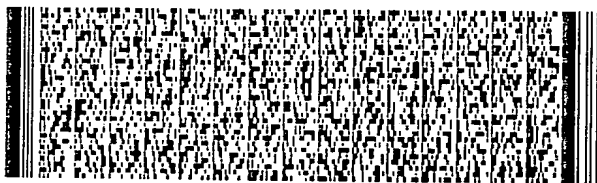
本發明係有關於半導體記憶裝置之測試方法，特別有關於一種動態隨機存取記憶體之字元線驅動測試方法。

### 【先前技術】

傳統動態隨機存取記憶陣列主要是由記憶單元MC所組成，如第1圖所示，記憶單元MC一般包括選擇電晶體T和電容C，其中選擇電晶體T的閘極由字元線WL控制，因此當字元線WL受選擇而使選擇電晶體T導通時，儲存於電容C之電荷即被送至位元線BL及感測放大器SA，經感測放大器SA進行比較後，決定記憶單元MC所儲存者為邏輯0或1，並將之送往I/O資料線讀出。

第2圖所示係為驅動動態隨機存取記憶體開啟字元線之驅動電路示意圖，驅動字元線WL之驅動電路10係由兩PMOS  $P_1$ 、 $P_2$  組成，其中一個PMOS  $P_2$  係為備用，當要開啟字元線WL<sub>0</sub>時，測試單元11將控制線Dout之控制訊號拉至低電壓位準，然後將驅動線WLDV之驅動訊號拉至高電壓位準V<sub>pp</sub>，此時PMOS  $P_1$ 、 $P_2$  被開啟，驅動訊號VPP即經由PMOS  $P_1$  輸出至字元線WL<sub>0</sub>上，當要關掉字元線WL<sub>0</sub>時，測試單元會進行預充電動作(Precharge command)，此時控制線Dout之控制訊號拉至高電壓位準，驅動線WLDV之驅動訊號由高電壓位準拉至低電壓位準V<sub>GND</sub>(即放電至接地)，字元線WL即被關閉。

第3圖所示係為驅動動態隨機存取記憶體其一區塊字元線驅動電路的佈局示意圖，在此一區塊係包括16條字元



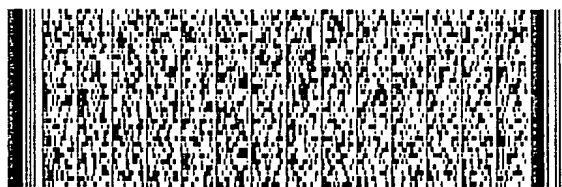
## 五、發明說明 (2)

線，分別以標號 $WL_0 \sim WL_F$  (十六進制) 表示；記憶體中每一條字元線皆由對應之驅動電路10驅動，每一驅動電路10係接收對應之控制線DOUT及對應之驅動線WLDV而開啟或關閉字元線，例如控制線DOUT0係連接至區塊中第1至第4位元線 $WL_0 \sim WL_3$ 的驅動電路10上，控制線DOUT1係連接至區塊中第5至第8位元線 $WL_4 \sim WL_7$ 的驅動電路10上，其餘字元線連接方式相同，在此不再贅述。實際操作時，例如當控制線DOUT0、驅動線WLDV0被開啟(turn on)時，即會啟動位元線 $WL_0$ 。

傳統的字元線開啟方式，一次僅能開啟一條控制線及一條驅動線，請參閱第3圖，首先先致能(enable)一條控制線DOUT0及一驅動線WLDV0，即將控制線DOUT0上的控制訊號由高電壓位準拉至低電壓位準，將驅動線WLDV0上的驅動信號拉至高電壓位準，藉以開啟字元線 $WL_0$ ，經過一延遲時間後要關掉字元線 $WL_0$ 時，進行預充電，對該控制線DOUT0及該驅動線WLDV0進行除能(disable)，將控制線DOUT0上的控制訊號由低電壓位準拉回至高電壓位準，驅動線WLDV0上的驅動信號拉至低電壓位準後即關掉字元線 $WL_0$ ，接下來再繼續開啟下一條字元線，如此同一時間只能在一區塊中開啟一條字元線，相對的開啟記憶體中所有字元線所耗之時間較長，產能亦較差。

### 【發明內容】

有鑑於此，本發明之主要目的在於可同時驅動較多條



### 五、發明說明 (3)

的字元線，以降低記憶體的測試時間及增加產能。

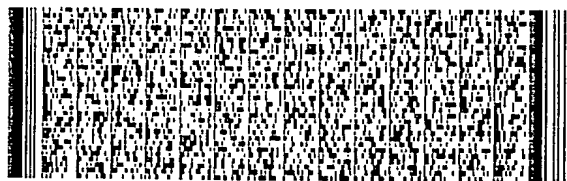
為達成前述目的，本發明提供一種半導體記憶裝置之測試驅動方法，係於進入一測試模式後，選取受一驅動線控制之複數條字元線；其次，測試單元對該等字元線之控制線進行致能；隨之，開啟該等字元線中其中一字元線，該測試單元致能該驅動線；然後該受致能之驅動線將驅動信號經該等致能之控制線輸出至該等字元線上。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

#### 【實施方式】

第4圖係為本發明半導體記憶裝置之測試驅動方法一較佳實施例之控制流程示意圖，係包括下列步驟：

首先，於步驟 $S_1$ 中，開啟一測試單元，進入一測試模式，選取受一驅動線控制之複數條字元線；接著，於步驟 $S_2$ ，測試單元對該等字元線所對應之控制線進行致能(enable)，即將欲致能的控制線其控制訊號拉至低電壓位準；接著進入步驟 $S_3$ ，測試單元執行開啟該等字元線中其中一字元線之指令，測試單元即會對該驅動線進行致能，將驅動訊號由低電壓位準拉至高電壓位準；步驟 $S_4$ ，受致能之驅動線將驅動信號經上述致能之控制線輸出至對應的字元線上；步驟 $S_5$ ，關閉此條字元線，對驅動線進行除能，而上述驅動線仍維持致能；即將驅動線之驅動訊號由高電壓位





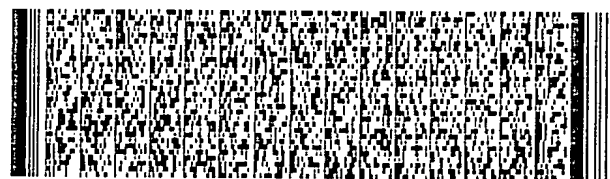
#### 五、發明說明 (4)

準拉至低電壓位準，但上述控制線之控制訊號仍維持在低電壓位準；最後進入步驟 $S_6$ ，重複對上述步驟 $S_3$ 至步驟 $S_5$ 動作，即可對上述字元線進行重複開關的動作。

實際操作時，請一併參閱第3圖，當進入本發明的測試模式時，首先使用者可選取數個連接至同一驅動線的字元線，例如選取字元線 $WL_0$ 、 $WL_4$ 、 $WL_8$ （皆連接至驅動線 $WLDV0$ ），然後測試單元11即會將字元線 $WL_0$ 、 $WL_4$ 、 $WL_8$ 所對應之控制線 $DOUT0$ 、 $DOUT1$ 及 $DOUT2$ 之控制訊號拉至低電壓位準（致能），接著使用者會輸入執行一開啟上述其中一字元線的指令，例如開啟字元線 $WL_0$ ，此時測試單元10即會對驅動線 $WLDV0$ 致能，即將驅動線 $WLDV0$ 之驅動訊號拉至高電壓位準，由於控制線 $DOUT0$ 、 $DOUT1$ 及 $DOUT2$ 已被致能，所以當驅動線 $WLDV0$ 拉至高電壓後，驅動訊號即輸出至對應的字元線 $WL_0$ 、 $WL_4$ 、 $WL_8$ 上，換句話說，字元線 $WL_0$ 、 $WL_4$ 、 $WL_8$ 即被開啟。

當經過一既定時間後，測試單元11執行關閉該字元線 $WL_0$ 的指令，此時測試單元11會將驅動線 $WLDV0$ 除能，字元線 $WL_0$ 、 $WL_4$ 、 $WL_8$ 線即被關閉，但控制線 $DOUT0$ 、 $DOUT1$ 及 $DOUT2$ 仍維持在致能狀態（即高電壓位準），因此可對其字元線重複的做開/關的動作（即可對字元線下迴圈(loop)的指令），如此控制線維持在致能狀態的對應字元線 $WL_0$ 、 $WL_4$ 、 $WL_8$ 亦相對的可被重複開啟關閉。

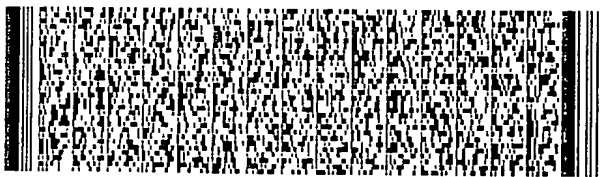
本發明所改善者在於，利用本測試方法，可先對同一驅動線上的多條字元線的控制線進行致能，因此當開啟其



#### 五、發明說明 (5)

中一條字元線時，上述其餘的字元線可同時被開啟，如此可達到同時開啟多條字元線的目的；而且利用控制線會維持在致能狀態的特點，又可重複開啟/關閉這些字元線，相對的測試時間可縮短，且產能亦會增加。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1圖係為傳統動態隨機存取記憶體陣列記憶單元之部分組成示意圖；

第2圖所示係為驅動動態隨機存取記憶體單一字元線之相關驅動電路示意圖；

第3圖所示係為驅動動態隨機存取記憶體其部分字元線驅動電路的佈局示意圖；

第4圖係為本發明半導體記憶裝置之資料讀取測試方法一較佳實施例之控制流程示意圖。

### 【相關符號說明】

記憶單元~MC；

電晶體~T；

儲存電容~C；

感測放大器~SA；

字元線~WL；

位元線~BL；

驅動電路~10；

測試單元~11；

PMOS  $P_1$ 、 $P_2$ ；

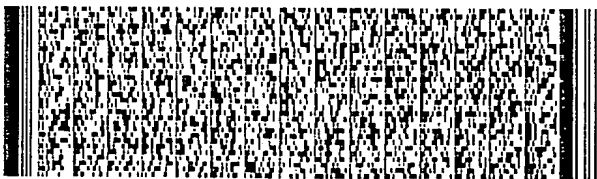
控制線~DOUT；

驅動線~WLDV；

控制線~DOUT0-DOUT3；

驅動線~WLDV0-WLDV3；

驅動電路~10



## 六、申請專利範圍

1. 一種半導體記憶裝置之測試驅動方法，其中該半導體記憶裝置係包括複數條字元線及對應之驅動電路，驅動電路受對應之控制線及驅動線所傳送之訊號所控制，其係包括下列步驟：

進入一測試模式，選取受一驅動線控制之複數條字元線；

測試單元對該等字元線之對應控制線進行致能；

開啟該等字元線中其中一字元線，該測試單元致能該驅動線；及

該受致能之驅動線將驅動信號經該等致能之控制線送至該等字元線上。

2. 如申請專利範圍第1項所述之半導體記憶裝置之測試驅動方法，其中更進一步包括：

經過一既定時間後，對該驅動線進行除能以關閉該等字元線，該等控制線仍保持致能狀態；及

重複對該驅動線進行致能/除能動作，俾可重複開啟該等字元線。

3. 如申請專利範圍第1項所述之半導體記憶裝置之測試驅動方法，其中該記憶裝置係為動態隨機存取記憶體。

4. 如申請專利範圍第1項所述之半導體記憶裝置之測試驅動方法，其中在對該等字元線之對應控制線進行致能的步驟中，係將該等控制線其控制訊號拉至低電壓位準。

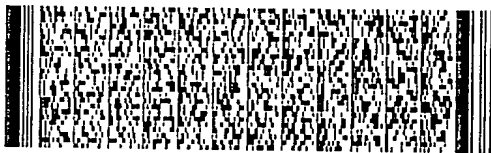
5. 如申請專利範圍第1項所述之半導體記憶裝置之測試驅動方法，其中在該測試單元致能該驅動線的步驟中，

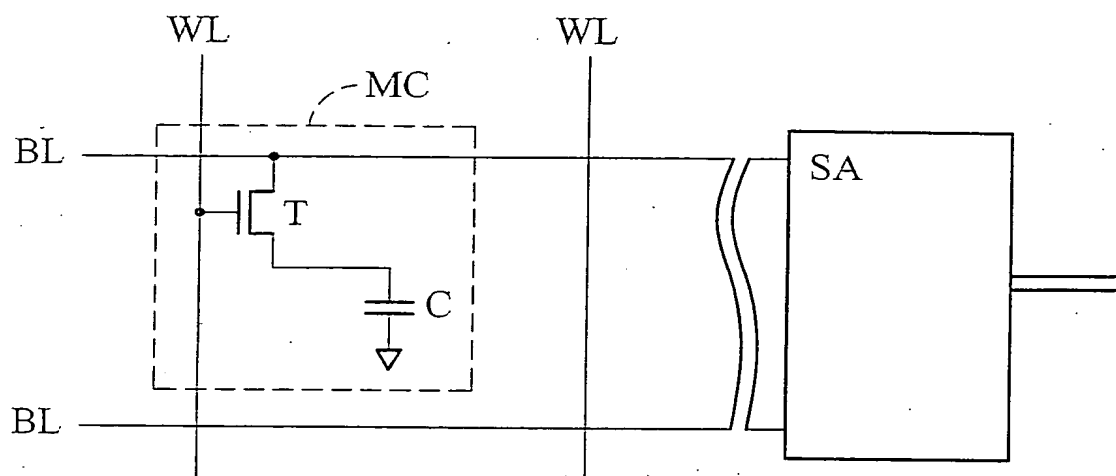


#### 六、申請專利範圍

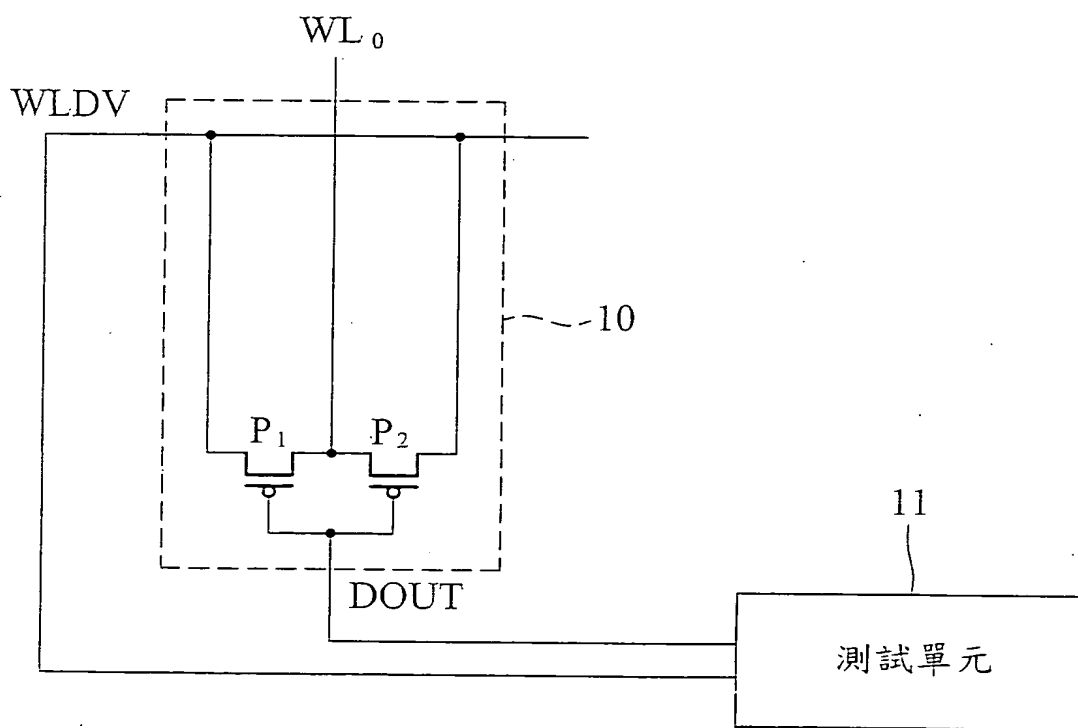
係將該驅動線之驅動訊號由低電壓位準拉至高電壓位準。

6. 如申請專利範圍第1項所述之半導體記憶裝置之測試驅動方法，其中在該對該驅動線進行除能以關閉該等字元線的步驟中，其將驅動線由高電壓位準拉至低電壓位準，驅動線之驅動訊號仍維持在高電壓位準。

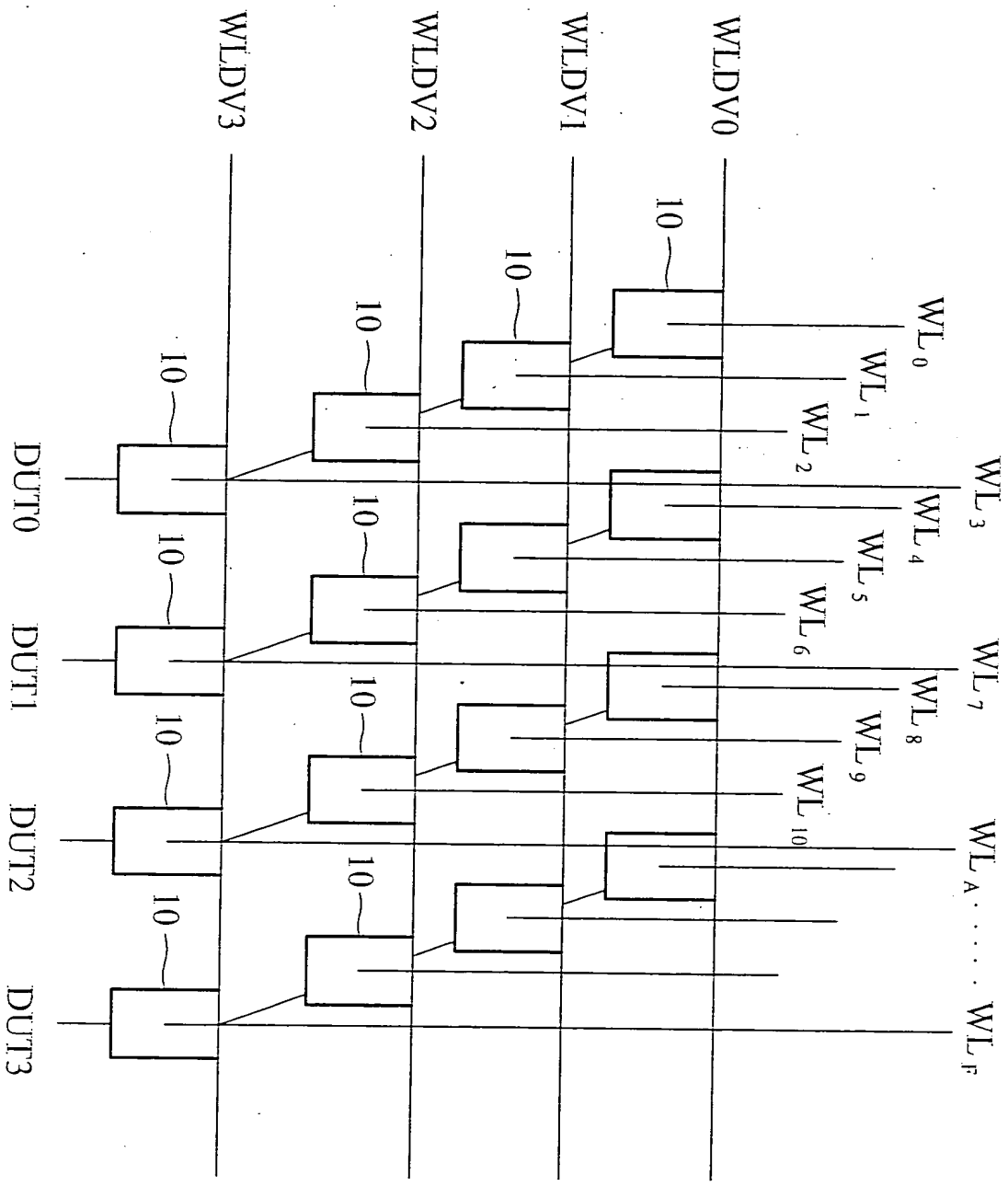




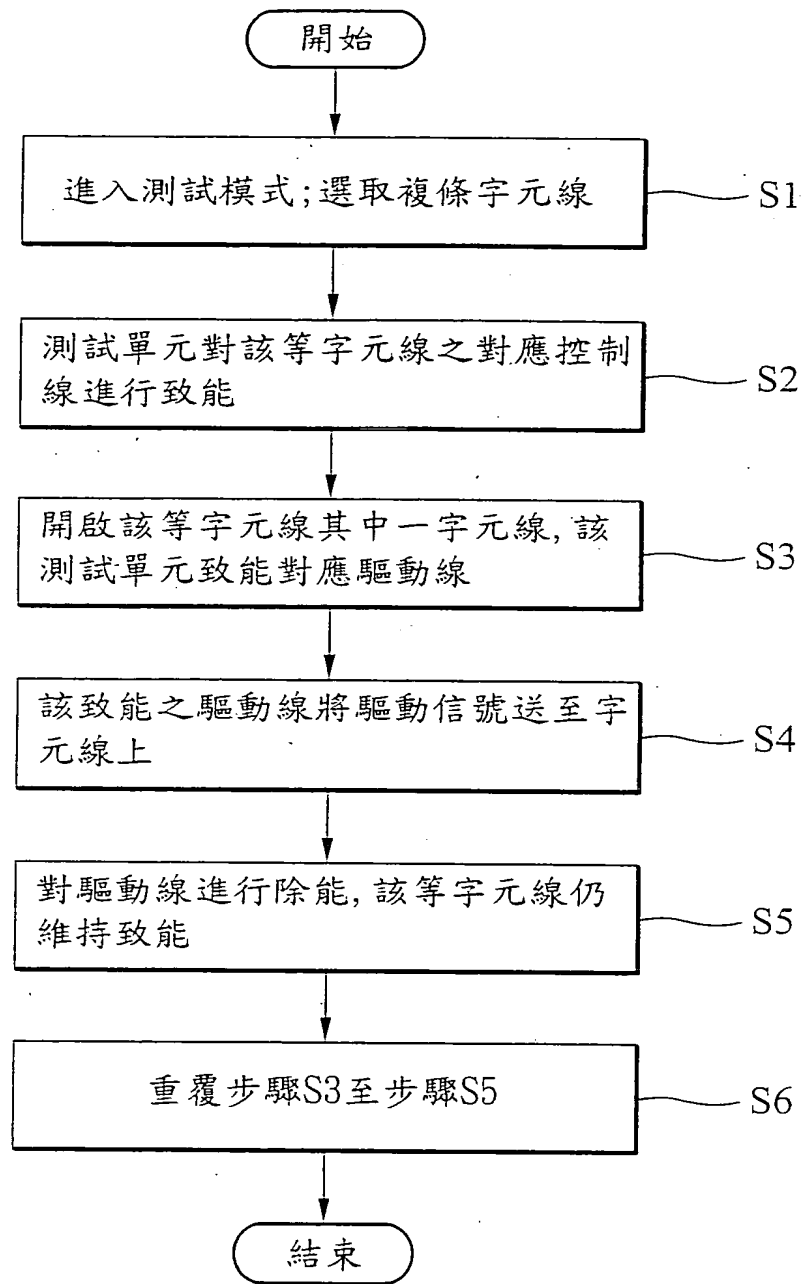
第 1 圖



第 2 圖



第 3 圖



第 4 圖



